



岐阜大学機関リポジトリ

Gifu University Institutional Repository

Title	A-1-3 断熱的論理を適用したパストランジスタ論理回路の提案および従来論理回路との消費電力比較(A-1. 回路とシステム,一般セッション)(本文(Fulltext))
Author(s)	富田, 裕貴; 高橋, 康宏; 関根, 敏和
Citation	[電子情報通信学会ソサイエティ大会講演論文集] vol.[2009年_基礎・境界] p.[3]-[3]
Issue Date	2009-09-01
Rights	copyright 2009 IEICE
Version	出版社版 (publisher version) postprint
URL	http://hdl.handle.net/20.500.12099/39325

この資料の著作権は、各資料の著者・学協会・出版社等に帰属します。

A-1-3

断熱的論理を適用したパストラジスタ論理回路の提案および従来論理回路との消費電力比較

The Proposed PTL Circuit using the Adiabatic Logic and Power Consumption Comparison with the Conventional Logic

富田 裕貴¹
Yuki Tomita

高橋 康宏²
Yasuhiro Takahashi

関根 敏和²
Toshikazu Sekine

岐阜大学 工学研究科¹ 工学部²
Dept. of Electrical and Electronic Eng., Gifu University

1 まえがき

デジタルシステムの分野において、VLSIに対する低消費電力化への要求が高まっている。その低消費電力化の1つに断熱的回路技術がある。この技術を組み合わせ論理回路に用いると、ゲート段数の増加により回路が動作しなくなる場合がある[1]。そこで、組み合わせ論理回路以外の論理ゲートであるPTLと呼ばれるものに断熱的論理回路を応用できるかを検討する。

2 PTLについて

PTL(Pass-Transistor Logic)は図1の回路構造となっている[2]。利点は規則的な構造であるため設計が容易であり、また、AND-ORの2段論理回路で構成されるので、組み合わせ論理ゲートによる多段論理回路に比べ高速に動作する。

3 比較検証

全加算器をCMOSスタティック論理回路、2PADCL、PTL回路及び断熱的PTL回路で設計し消費エネルギー比較検証を行う。全加算器の全ての演算が終わるまでにかかる消費エネルギーの比較を表1に示す。

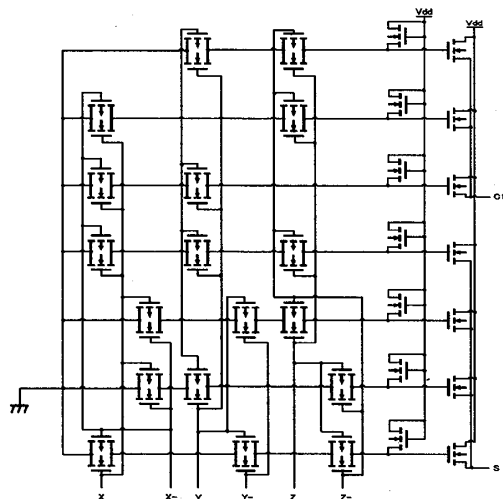


図1 PTLによる全加算器

4 むすび

断熱的PTL回路の提案を行い、全加算器で比較検証を行った。その結果、2PADCLが最も消費エネルギーが小さいが、断熱的PTLの消費エネルギーは、ほとんどはトランスマッションゲートを駆動するための論理ゲート

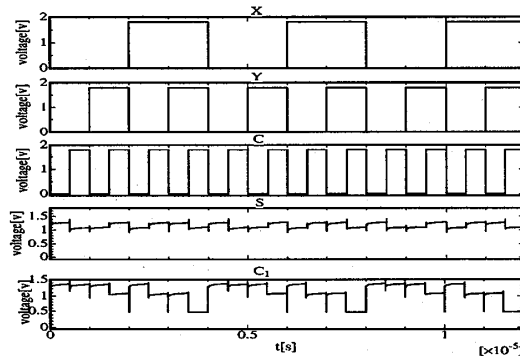


図2 PTL

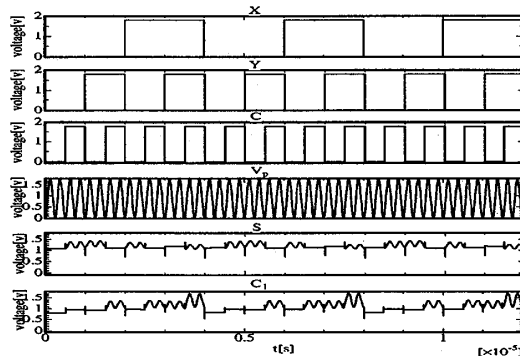


図3 断熱的PTL

であった。そのため論理ゲートを改善すれば、2PADCLより抑えられる可能性がある。また、PTL回路はHとLの差が十分取れていないので、改善しなければならない。

表1 消費エネルギー

CMOS スタティック	282fJ
2PADCL[1]	140fJ
PTL	1.1nJ
断熱的 PTL(全体)	227fJ
断熱的 PTL(TGのための論理ゲート除く)	7fJ

参考文献

- [1] Y. Takahashi, T. Skine, and M. Yokoyama, "VLSI implementation of a 4 × 4-bit multiplier in a two phase drive adiabatic dynamic CMOS logic," IEICE trans. Electron, vol. E90-C, no. 10, pp. 2002-2006, Oct. 2007.
- [2] 柴田直, 山本隆一, 富永四志夫, 高橋盛, 東迎良育, VLSIテクノロジー入門, 平凡社, 東京, 1986.